

Docket No.: 67161-048

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Satoshi KAWASAKI

Serial No.:

Filed: June 26, 2003

Group Art Unit:

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE WITH SENSE AMPLIFIER

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

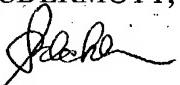
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-007787, filed January 16, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: June 26, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-048
Satoshi KAWASAKI
June 26, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 1月16日

出願番号

Application Number:

特願2003-007787

[ST.10/C]:

[JP2003-007787]

出願人

Applicant(s):

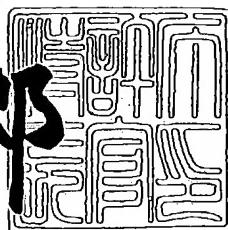
三菱電機株式会社



2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007888

【書類名】 特許願
【整理番号】 541944JP01
【提出日】 平成15年 1月16日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/108
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内
【氏名】 川崎 賢
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 半導体基板上に、行方向と列方向とにそれぞれ間隔を隔ててマトリックス状に配置された複数のメモリセルアレイ領域と、

前記列方向における前記メモリセルアレイ領域の間の隙間にそれぞれ配置され、センスアンプを構成する素子が配置される複数のセンスアンプ領域と、

前記行方向における前記メモリセルアレイ領域の間の隙間にそれぞれ配置された複数のサブデコーダ領域と、

前記複数のセンスアンプ領域の並びと前記複数のサブデコーダ領域の並びとのそれぞれの交点に位置する複数の交差領域と、

前記サブデコーダ領域に配置され、前記センスアンプの動作に用いる複数のセンスアンプドライバ用素子とを備える、半導体記憶装置。

【請求項2】 前記複数のメモリセルアレイ領域が配置された領域の前記列方向における端部では、前記センスアンプドライバ用素子が、前記端部に隣接する前記サブデコーダ領域と、前記複数のメモリセルアレイ領域が配置された領域の外側の領域とに分散配置されている、請求項1に記載の半導体記憶装置。

【請求項3】 前記センスアンプドライバ用素子は、前記サブデコーダ領域と前記交差領域とに分散配置されている、請求項1または2に記載の半導体記憶装置。

【請求項4】 前記半導体基板に形成され、前記サブデコーダ領域において前記半導体基板の主表面に露出する部分を含む導電性不純物拡散領域と、

前記サブデコーダ領域において露出した前記部分に接続され、前記導電性不純物拡散領域の電位を決定するための電位固定用導電体とを備える、請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項5】 複数の前記センスアンプ領域の内の1つに形成されたセンスアンプの動作に用いる前記センスアンプドライバ用素子は、前記センスアンプ領域の内の1つに隣接する前記交差領域を挟むように位置する2つの前記サブデコーダ領域に分散配置されている、請求項1～4のいずれか1項に記載の半導体記

憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、微細化を図るとともに特性の向上を図ることが可能な半導体装置に関する。

【0002】

【従来の技術】

従来、DRAM (Dynamic random-access memory)などの半導体記憶装置が知られている（例えば、特許文献1参照）。

【0003】

特許文献1に記載された半導体記憶装置では、マトリックス状に配置されたメモリアレイの構成において、メモリアレイのワード線方向に（メモリアレイの間に）分散配置されるサブワードドライバと、メモリアレイのデータ線方向に（メモリアレイの間に）分散配置されるセンスアンプとの複数の交点領域（ワード線方向にメモリアレイの間を区切る帯状の領域と、データ線方向にメモリアレイの間を区切る帯状の領域との交点領域）に、センスアンプを駆動するためのセンスアンプ駆動回路およびセンスアンプからのデータを出力するためのI/O制御回路を配置している。このようにすれば、交点領域にセンスアンプ駆動回路などを集中配置することにより、メモリアレイやサブワードドライバ、センスアンプなどが配置された領域のトータル面積を効果的に削減できると考えられる。

【0004】

【特許文献1】

特開平9-64308号公報

【0005】

【発明が解決しようとする課題】

しかし、半導体装置のさらなる微細化に伴い、サブワードドライバが配置される領域の幅は狭くなってきてている。さらに、メモリセルアレイ内のメモリセルを構成する素子材料の改良などに伴って、ワード線方向での分割数（メモリセルアレ

イの数)も減少する傾向にある。そのため、センスアンプ駆動回路を構成する素子のすべてを交点領域に配置することが困難になってきている。

【0006】

このため、センスアンプ駆動回路を構成する素子の一部をセンスアンプが配置された領域(センスアンプを構成する素子が形成された領域)に配置することも考えられる。この場合、トータル面積を極力小さくするために、センスアンプを構成する素子やウェル固定のためのコンタクトホールなどの構成要素をできるだけ隙間無く配置する必要がある。このようにすれば、充分にセンスアンプ駆動回路を構成する素子を配置することができるとともに、トータル面積をある程度削減できる。ところが、上述のようにセンスアンプが配置された領域において構成要素を効率的に配置した結果、Pチャネル型MOSトランジスタやNチャネル型MOSトランジスタなどの素子を配置するために必要なNウェルやPウェルの形状が複雑化する場合があった。この結果、センスアンプを構成する複数のトランジスタ(素子)とウェル境界部との間の距離がばらつく。ここで、発明者は、後述するようにウェル境界部とトランジスタとの距離がある程度小さい場合、ウェル境界部とトランジスタとの間の距離によりトランジスタのしきい値電圧が変化するという知見を得た。このため、上述のように複数のトランジスタ(素子)とウェル境界部との間の距離がばらつくと、センスアンプを構成するトランジスタの特性(しきい値電圧)がばらつくことになる。したがって、半導体記憶装置の特性が劣化する恐れがあった。

【0007】

この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、特性の劣化を防止しながらチップ面積(素子を形成するために必要な面積)の低減を図ることが可能な半導体記憶装置を提供することである。

【0008】

【課題を解決するための手段】

この発明に従った半導体記憶装置は、複数のメモリセルアレイ領域とセンスアンプ領域とサブデコーダ領域と交差領域とセンスアンプドライバ用素子などを備える。複数のメモリセルアレイ領域は、半導体基板上に、行方向と列方向とにそれ

ぞれ間隔を隔ててマトリックス状に配置される。複数のセンスアンプ領域は、列方向におけるメモリセルアレイ領域の間の隙間にそれぞれ配置される。センスアンプ領域にはセンスアンプを構成する素子が配置される。複数のサブデコーダ領域は、行方向におけるメモリセルアレイ領域の間の隙間にそれぞれ配置される。複数の交差領域は、複数のセンスアンプ領域の並びと複数のサブデコーダ領域の並びとのそれぞれの交点に位置する。複数のセンスアンプドライバ用素子は、サブデコーダ領域に配置され、センスアンプの動作に用いられる（センスアンプを駆動する）。

【0009】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0010】

図1は、本発明による半導体記憶装置としてのDRAMのチップの平面模式図である。図2は、図1に示したチップの領域IIを示す部分拡大模式図である。図3は、図1に示したチップのメモリセルアレイ領域の間に配置されるセンスアンプの回路図である。図4は、図2に示したチップの部分拡大模式図の一部分を示す拡大模式図である。図5は、図4の線分V-Vにおける断面模式図である。図1～図5を参照して、本発明による半導体記憶装置の実施の形態を説明する。

【0011】

図1に示すように、本発明による半導体記憶装置としてのDRAMは分散ワード線駆動方式（または階層ワード線方式）のDRAMであって、そのチップ上には、複数のメモリセルマット2と、周辺回路が形成された領域3が配置されている。図1に示したDRAMチップ1ではメモリセルマット2の数は4つとなっているが、メモリセルマットの数は4つ以外の任意の数であってもよい。このメモリセルマット2は、具体的には図2に示すように格子状（マトリックス状）に配置された複数のメモリセルアレイ領域3によって構成されている。それぞれのメモリセルアレイ領域3は、図2における垂直方向においてはセンスアンプ帯（以下SA帯という）によって互いに分離されている。また、メモリセルアレイ領域

3は、図2における水平方向についてはサブデコーダ帯（以下SWD帯という）により互いに分離されている。このため、メモリセルアレイ領域3の間には、センスアンプ領域4と、サブデコーダ領域5と、SA帯とSWD帯との交差した領域である十字領域6とが配置されている。

【0012】

このメモリセルアレイ領域3の間に位置するセンスアンプ領域4、サブデコーダ領域5および十字領域6に、メモリセルアレイ領域3に配置されたメモリセルのビット線対の間の電位差を拡大するための複数のセンスアンプおよびそのセンスアンプを駆動するための複数のセンスアンプドライバトランジスタが配置されている。図3には、上述したセンスアンプおよびセンスアンプドライバトランジスタが示されている。

【0013】

図3に示すように、センスアンプドライバトランジスタであるS2Pドライバトランジスタ8は、センスアンプ活性化信号/SOPに応じて導通する。S2Pドライバトランジスタ8はPチャネル型MOSトランジスタである。また、センスアンプドライバトランジスタであるS2Nドライバトランジスタ7は、センスアンプ活性化信号SONに応じて導通するトランジスタである。S2Nドライバトランジスタ7はNチャネル型MOSトランジスタである。センスアンプ回路は、S2Pドライバトランジスタ8が接続されたノード35とS2Nドライバトランジスタ7が接続されたノード36との間に直列に接続され、ともにゲートがノード38に接続されるPチャネル型トランジスタ9とNチャネル型トランジスタ10とを備える。さらに、センスアンプ回路は、ノード35とノード36との間に直列に接続され、ともにゲートがノード37に接続されるPチャネル型トランジスタ11とNチャネル型トランジスタ12とを含む。

【0014】

センスアンプ回路は、ビット線対（たとえばBLとZBL）の間に設けられる。ノード38はたとえば一方のビット線であるBLに接続される。また、ノード37は、他方のビット線であるZBLに接続される。センスアンプ回路は、活性化されると上述したビット線対の間の電位差を拡大する。

【0015】

上述したセンスアンプ回路およびS2Pドライバトランジスタ8、S2Nドライバトランジスタ7は、具体的には図4に示すような配置となっている。

【0016】

図4には、メモリセルアレイ領域3と、メモリセルアレイ領域3の間に位置するセンスアンプ領域4、サブデコーダ領域5および十字領域6が示されている。図4からもわかるように、センスアンプ領域4、サブデコーダ領域5および十字領域6においては、それぞれ半導体基板の所定の領域にN型の導電性不純物を注入することによってNウェル13が形成されている。また、センスアンプ領域4、サブデコーダ領域5および十字領域6において、Nウェル13以外の領域はPウェル14となっている。

【0017】

そして、図3に示したセンスアンプ回路を構成するPチャネル型トランジスタ9、11（Pチャネル型MOSトランジスタ）は、PMOS-SAと表示された領域15に集中して配置されている。また、図3に示したセンスアンプ回路を構成するNチャネル型トランジスタ10、12（Nチャネル型MOSトランジスタ）は、図4におけるNMOS-SAと表示された領域16に集中的に配置される。

【0018】

センスアンプドライバである複数のS2Pドライバトランジスタ8（図3参照）は、十字領域6のNウェル13に位置する集中S2P領域17に集中的に配置される。また、センスアンプドライバである複数のS2Nドライバトランジスタ7（図3参照）は、十字領域6のPウェル14に位置するS2N領域18と、十字領域6を挟むように配置された2つのサブデコーダ領域5のPウェル14にそれぞれ配置された分散S2N領域19、20とに分散して配置される。

【0019】

サブデコーダ領域5においては、Nウェル13上にV_{DDS}固定部21が配置されている。メモリセルアレイ領域3のダミー配線部においては、V_{BB}固定部22が配置されている。また、図4に示すように、SWD帯の延在方向に沿って、サ

ブデコーダ領域5および十字領域6上にS2N線23およびGND線24が配置されている。また、SA帯の延在方向に沿うように、センスアンプ領域4および十字領域6上にZS2P線25およびV_{DDS}線26が配置されている。

【0020】

図5からもわかるように、サブデコーダ領域5におけるNウェル13は、メモリセルアレイ領域（図4参照）におけるボトムNウェル30と接続された状態となっている。このNウェル13に接続するように、V_{DDS}固定部21を構成する導電体プラグ33が配置されている。図示していないが、半導体基板29の主表面上には層間絶縁膜が形成されている。導電体プラグ33は、この層間絶縁膜に形成されたコンタクトホールの内部に配置されている。導電体プラグ33は、半導体基板29の主表面上に位置する上層の配線と接続されている。

【0021】

また、V_{BB}固定部22を構成する導電体プラグ34は、pウェル31と半導体基板29の表面において接触するように配置されている。導電体プラグ34は、図示していない層間絶縁膜に形成されたコンタクトホール内を充填するように配置されている。導電体プラグ34は、半導体基板29の主表面上に位置する上層の配線と電気的に接続されている。そして、サブデコーダ領域5の分散S2N領域19（図4参照）には、図5に示すようにS2NドライバトランジスタであるNチャネル型MOSトランジスタ32が配置されている。

【0022】

図4および図5からもわかるように、本発明による半導体記憶装置では、センスアンプ領域にはセンスアンプ回路を構成するセンスアンプトランジスタを配置する一方、S2Nドライバトランジスタが形成されたS2N領域18および分散S2N領域19、20、またS2Pドライバトランジスタが形成された集中S2P領域17を十字領域6およびサブデコーダ領域5に配置している。また、V_{DD}固定部21およびV_{BB}固定部22もセンスアンプ領域4以外の領域（サブデコーダ領域5およびメモリセルアレイ領域3の端部）に配置している。つまり、センスアンプ領域4には、センスアンプドライバトランジスタもウェル固定部であるV_{DDS}固定部21およびV_{BB}固定部22も配置されていない。このため、セン

スアンプ領域4の面積を削減することができる。

【0023】

また、センスアンプ領域4においては、Nウェル13とPウェル14との境界部であるウェル境界60aと、Pチャネル型のセンスアンプトランジスタが配置された領域15の外周部61aとの間の距離が領域15の全体についてほぼ均一となるように、センスアンプトランジスタを配置することができる。また、同様に、ウェル境界60bと、領域15の外周部61bとの間の距離も、領域15の全体についてほぼ均一にすることができる。同様に、センスアンプトランジスタのうちNチャネル型のセンスアンプトランジスタが形成された領域16の外周部62とウェル境界60bとの間の距離も、領域16の全体についてほぼ均一にすることができる。領域15、16においては、ウェル境界60a、60bの延びる方向にほぼ平行に、複数のセンスアンプトランジスタを配置することができる。この結果、センスアンプを構成するセンスアンプトランジスタとウェル境界60a、60bとの間の距離（すなわち、センスアンプトランジスタのチャネル領域とウェル境界60a、60bとの間の距離）を複数のセンスアンプトランジスタについてほぼ均一にすることができる。このため、上記距離のばらつきによりセンスアンプトランジスタの特性が変動することを抑制できる。

【0024】

また、図5に示すように、V_{DDS}固定部21は、ボトムNウェル30の壁に当たる部分がサブデコーダ領域5において半導体基板29の表面に露出している部分（Nウェル13）に形成されている。サブデコーダ領域5におけるNウェル13はV_{DDS}固定部21の存在とは関係無く形成される。このため、V_{DDS}固定部21の配置場所を確保するために、サブデコーダ領域5の面積を大きくする必要はない。つまり、従来とほぼ同等の面積のサブデコーダ領域5にV_{DDS}固定部21を配置することができる。

【0025】

なお、サブデコーダ領域5におけるS2Nドライバトランジスタなどの配置例としては、たとえば図6に示したような配置が考えられる。図6は、図4に示した半導体記憶装置のサブデコーダ領域における素子の配置を示す模式図である。

図6に示すように、本発明による半導体記憶装置のサブデコーダ領域5は、Nウェル13とPウェル14とに分かれている。Nウェル13ではV_{DDS}固定部21が形成されている。Pウェル14では、分散S2N領域19とGNDウェル固定部88とV_{PP}ウェル固定部89とが形成されている。分散S2N領域19には、半導体基板の主表面にGNDノード87とS2Nノード86とが形成されている。GNDノード87とS2Nノード86とは半導体基板の主表面に形成された導電性不純物拡散領域であり、S2Nドライバトランジスタのソース／ドレイン領域として作用する。GNDノード87とS2Nノード86との一部は、互いに対向して平行に延びるように形成されている。GNDノード87とS2Nノード86の上記互いに対向する部分に交差するように、S2Nドライバトランジスタのゲート電極85が形成されている。ゲート電極85下には図示していないがゲート絶縁膜が形成されている。ゲート電極85とゲート絶縁膜とソース／ドレイン領域としてのGNDノード87およびS2Nノード86とからS2Nドライバトランジスタが構成される。

【0026】

ここで、DRAMなどの半導体記憶装置におけるセンスアンプドライバトランジスタ（S2N領域18、分散S2N領域19、20および集中S2P領域17に配置されるS2Nドライバトランジスタ7（図3参照）やS2Pドライバトランジスタ8（図3参照））の配置は、半導体記憶装置の微細化に対応してさまざまなパターンが考えられる。具体的に、図12～図14を参照しながら説明する。図12～図14は、センスアンプドライバトランジスタの配置パターンを説明するための参考例としての半導体記憶装置の模式図である。なお、図12～図14は図4に対応する。

【0027】

1つ目の配置パターンは、図12に示すように、センスアンプ領域4に、センスアンプトランジスタが配置された領域15、16とともに、S2Pドライバトランジスタが形成される分散S2P領域80およびS2Nドライバトランジスタが形成される分散S2N領域43を配置するというものである。また、V_{DDS}固定部21およびV_{BB}固定部22もセンスアンプ領域4に配置されている。このた

め、センスアンプ領域4の面積を縮小するには限界があった。

【0028】

2つ目の配置パターンは、図13に示すように、十字領域6に、S2NドライバトランジスタおよびS2Pドライバトランジスタをすべて集中配置するというものである。図13に示した半導体記憶装置では、十字領域6に集中S2P領域17および集中S2N領域81が形成されている。また、図13に示した半導体記憶装置では、センスアンプ領域4にV_{DDS}固定部21およびV_{BB}固定部22が配置されている。

【0029】

3つ目の配置パターンは、図14に示すように、十字領域6にはS2Nドライバトランジスタが形成された集中S2N領域81を配置する一方、分散S2P領域80をセンスアンプ領域4に配置することにより、S2Pドライバトランジスタをセンスアンプ領域4に分散配置するというものである。この場合、V_{DDS}固定部21およびV_{BB}固定部22はセンスアンプ領域4において分散S2P領域80の間の領域（領域90で示した部分）に配置されている。

【0030】

上述した3つのパターンの中で、最もセンスアンプのレイアウトの面積が小さくできるのは、2つめの配置パターン（すなわち、図13に示すように十字領域6にS2NドライバトランジスタおよびS2Pドライバトランジスタを集中配置するパターン）である。

【0031】

しかし、半導体記憶装置を構成するトランジスタにおけるポリメタルゲート電極の適用やタンゲステンポリサイド膜の改良により、ゲート電極の低抵抗化が近年図られている。このため、ワード線（WL）方向の分割数が低減される傾向にある。また、SWD帯（サブデコーダ領域5）もNウェルなどのシャロー化によって、その幅が狭くなっている。したがって、現在量産中あるいは開発中の半導体記憶装置においては、十字領域6のトータル面積が小さくなっている。したがって、十字領域6だけに必要なセンスアンプドライバトランジスタ（S2NドライバトランジスタおよびS2Pドライバトランジスタ）をすべて配置す

ることは難しくなってきている。

【0032】

また、通常、センスアンプ領域4には、センスアンプトランジスタ、I/Oゲート、BLIトランジスタ、BLEQトランジスタなどが主な構成部品として配置されている。センスアンプ領域4においては、これらの部品がピッチ方向に詰って配置されている。したがって、センスアンプ領域4に余分なトランジスタなどの部品をこれ以上配置することは通常困難である。

【0033】

また、図13に示した2つ目の配置パターン（十字領域6にドライバトランジスタを集中配置するパターン）では、センスアンプ領域4に、ウェル固定部である V_{DDS} 固定部21および V_{BB} 固定部22を配置していた。つまり、図13に示した半導体記憶装置では、センスアンプ領域4においてこれらの V_{DDS} 固定部21および V_{BB} 固定部22を配置するためにセンスアンプ領域4の面積が大きくなっていた。

【0034】

一方、図14に示した3つ目の配置パターンでは、ウェル固定部の数を削減するとともに、 V_{BB} （センスアンプおよびメモリセルのバックバイアス）Pウェル固定（ V_{BB} 固定部22）、 V_{DDSN} ウェル固定（ V_{DDS} 固定部21）、S2Pセンスアンプドライバトランジスタ（分散S2P領域80）という順番にセンスアンプ帯（SA帯）の伸びる方向に沿って並ぶように配置している。このようにすれば、トランジスタ1個分もしくはウェル固定部1個分だけの幅（SA帯の伸びる方向に垂直な方向における幅）を確保することによって、メモリセルおよびセンスアンプで必要なウェル固定をすべてセンスアンプ領域4に配置するとともに、センスアンプドライバを配置するための十分な領域を確保できる。

【0035】

しかし、図14に示したような配置パターンを採用した場合には、図14の領域90に示すようにセンスアンプ領域4においてNウェル固定部（ V_{DDSN} 固定部21）とPウェル固定部（ V_{BB} 固定部22）とが隣接することになる。このため、領域90においてはウェルの境界部の形状が凹凸形状となる。

【0036】

ここで、センスアンプトランジスタは、特にピット線対（B L、Z B L）にそれぞれ接続されたトランジスタのペアの間で、しきい値電圧を等しくしておく必要がある。しかし、研究の結果、ウェル境界から複数のトランジスタのチャネル領域までの距離が $2 \mu m$ 以下であって、かつその距離がトランジスタ毎に異なる場合、各トランジスタのしきい値電圧がずれてしまう（変動する）という知見を発明者は得た。以下具体的に説明する。

【0037】

図7は、上述したしきい値電圧とウェル境界からチャネル領域までの距離との関係を説明するための平面模式図である。図8は、ウェル境界からチャネル領域までの距離d (μm) としきい値電圧: V_{th} (mV) の変動量 (ΔV_{th}) の関係を示すグラフを示す図である。図8はNチャネル型MOSトランジスタの場合についてのデータを示している。また、図9は、ウェル境界からチャネル領域までの距離d (μm) と、しきい値電圧: V_{th} (mV) の変動量 (ΔV_{th}) との関係を示すグラフを示す図である。図9は、Pチャネル型MOSトランジスタの場合についてのデータを示している。

【0038】

図7に示すように、ウェル境界4 0に隣接するようにゲート電極4 1を含む電界効果トランジスタが形成されている場合を考える。この電界効果トランジスタのチャネル領域4 2とウェル境界4 0との間の距離をdとする。そして、この距離dを変えると、図8および図9に示すように、しきい値電圧が変動する。図8および図9において、横軸はウェル境界4 0（図7参照）からチャネル領域4 2（図7参照）までの距離dを示す。この距離dの単位は μm である。また、図8および図9に示したグラフの縦軸は、しきい値電圧の変動量 ΔV_{th} を示している。このしきい値電圧の変動量の単位はmVである。それぞれのグラフにおける黒丸で示されたグラフと、黒い四角で示された折れ線グラフとは、それぞれ条件の異なるトランジスタにおける結果を示している。図8および図9からわかるように、ウェル境界からチャネル領域までの距離dを変動させることによって、トランジスタのしきい値電圧が変動する。

【0039】

ここで、図8に示した折れ線グラフのデータは、ゲート長 $L = 0.27 \mu\text{m}$ 、ゲート幅 $W = 2 \mu\text{m}$ 、ソース／ドレイン領域における導電性不純物としてはヒ素(A s)を用いた電界効果トランジスタについてのものである。なお、ソース／ドレイン領域は、ヒ素を1回目の注入工程(注入エネルギーを 70 keV ($1.12 \times 10^{-14} \text{ J}$)、ドーズ量を $4.3 \times 10^{12}/\text{cm}^2$ とした注入工程)および2回目の注入工程(注入エネルギーを 15 keV ($2.40 \times 10^{-15} \text{ J}$)、ドーズ量を $1 \times 10^{12}/\text{cm}^2$ とした注入工程)により半導体基板の主表面に注入することにより形成した。

【0040】

また、図9に示した折れ線グラフのデータは、ゲート長 $L = 0.27 \mu\text{m}$ 、ゲート幅 $W = 2 \mu\text{m}$ 、ソース／ドレイン領域における導電性不純物としてはホウ素(B)を用いた電界効果トランジスタについてのものである。なお、ソース／ドレイン領域は、注入条件として、注入エネルギーを 15 keV ($2.40 \times 10^{-15} \text{ J}$)、ドーズ量を $1.1 \times 10^{13}/\text{cm}^2$ という条件を用いて、半導体基板の主表面にホウ素を注入することにより形成した。

【0041】

なお、Nチャネル型のセンスアンプトランジスタに関しては、その配置を変更することにより、つまりPチャネル型のセンスアンプトランジスタとの間にI/Oゲートを挿入することにより、上述の問題を回避することは可能である。しかし、Pチャネル型のセンスアンプトランジスタについては上述のような回避方法を採用することは難しい。そして、このようなしきい値電圧の変動は、特に動作電圧が 1.8 V あるいは 1.5 V など低電圧動作化したDRAMなどの半導体記憶装置において特に問題となる。

【0042】

ここで、上述のような配置パターンの半導体装置とは異なり、すでに述べたように、本発明による半導体記憶装置としてのDRAMでは、十字領域6の面積を拡大することなくすべてのドライバトランジスタを配置する領域の面積を確保するため、図4に示すようにサブデコーダ領域5と十字領域6とにそれぞれ分散S

2N領域19、20およびS2N領域18を分散配置している。この結果、センスアンプ領域4の面積、さらにはDRAM全体のチップ面積を縮小できる。

【0043】

また、本発明によるDRAMでは、センスアンプ領域4にドライバトランジスタやウェル固定部を配置していないので、図4に示すようにウェル境界60a、60bからPMOS-SAと表示された領域15に形成された複数のセンスアンプトランジスタ（のチャネル領域）までの距離をそれぞれほぼ等しくできる。また、ウェル境界60bからNMOS-SAと表示された領域16に形成された複数のセンスアンプトランジスタ（のチャネル領域）までの距離をそれぞれほぼ等しくできる。この結果、上述のようなしきい値電圧の変動といった問題の発生を抑制できる。つまり、ウェル境界60a、60bとセンスアンプトランジスタのチャネル領域との間の距離の変動によるしきい値電圧（センスアンプを構成するセンスアンプトランジスタのしきい値電圧）のばらつきの発生を抑制することができる。このため、半導体記憶装置のチップ面積の低減を図る一方、特性の劣化を防止するとともに低電圧動作を可能とすることができます。

【0044】

また、図4および図5に示した半導体記憶装置では、センスアンプドライバ（すなわち集中S2P領域17、S2N領域18および分散S2N領域19、20）だけでなくV_{DDS}固定部21およびV_{BB}固定部22をセンスアンプ領域4以外の領域、つまりサブデコーダ領域5およびメモリセルアレイ領域3の端部に配置しているので、センスアンプ領域4のサイズを上述した3つのパターンよりも小さくすることができる。なお、V_{BB}固定部22をサブデコーダ領域5の内部に配置してもよい。

【0045】

また、図4および図5に示した半導体記憶装置では、サブデコーダ領域5に分散S2N領域19、20を配置している。この発明による半導体記憶装置において分散S2N領域19、20が配置された領域は、ボトムNウェル30（図5参照）の近傍である。このように、ボトムNウェル30の近傍には、従来はトランジスタを配置していなかった。従来、このような場所にはデカップルキャパシタ

を配置することが多かった。

【0046】

しかし、本発明による半導体記憶装置では、分散S2N領域19、20に形成されるS2NドライバトランジスタのN型の導電性不純物を注入したソース／ドレイン領域について、不純物の注入エネルギーを低くしてそのソース／ドレイン領域の深さを浅くしている。この結果、ボトムNウェル30と上述のS2Nドライバトランジスタのソース／ドレイン領域の間のショートマージンを向上させることができた。ここで、たとえば導電性不純物としてはリン(P)を用い、注入エネルギーとしては15KeV、ドーズ量を $1.7 \times 10^{13} / \text{cm}^2$ とすれば、半導体基板の主表面からソース／ドレイン領域下部までの深さを0.3μmとすることができる。

【0047】

この結果、従来よりボトムNウェル30(図5参照)から2μm程度という隣接した場所にS2Nドライバトランジスタ(分散S2N領域19、20)を配置することができた。このように、従来配置していたデカップルキャパシタの代わりにS2Nドライバトランジスタ(分散S2N領域19、20)を配置するので、サブデコーダ領域5においてS2Nドライバトランジスタを配置することによるこの領域の面積増加を実質的に抑制することができた。この結果、本発明によるDRAMではトータルでのチップサイズを(例えば図14に示したよう配置パターンのDRAMより)小さくすることができる。なお、発明者の試算によれば、前提条件などにもよるが、本発明によるDRAMでは図14に示したような配置パターンのDRAMよりチップ面積を約0.5%程度縮小できると考えられる。

【0048】

また、センスアンプ領域4以外の領域にセンスアンプドライバトランジスタ(S2NドライバトランジスタおよびS2Pドライバトランジスタ)を配置しているので、センスアンプ領域4内部の構成が単純化されることになる。したがって、図3のノード37、38にドライバトランジスタなどからのノイズが不均一に乗ってセンスマージンが小さくなるといった問題の発生を抑制できる。

【0049】

ここで、図14に示したようにセンスアンプ領域4にS2NドライバトランジスタおよびS2Pドライバトランジスタなどを分散配置した場合、トランジスタの配置によってはドライバトランジスタのドレイン側がS2ノードになる。このため、図3に示したドライバトランジスタに隣接したノード38(SAノード)あるいはノード37(／SAノード)のみにカップリングノイズが作用することになる。このようなノイズによる影響の発生を抑制するためには、ノード37、38に対して対称になるようにセンスアンプドライバトランジスタをレイアウトすることが考えられる。

【0050】

しかし、このようにセンスアンプドライバトランジスタの配置を行なうためには、トランジスタを配置するための領域の面積を大きくする必要があるため、チップ面積の増大といった問題が発生する。また、チップ面積を大きくせずに上述のようなレイアウトを実現するためには、プロセスマージンを小さくする必要がある。具体的には、ピット線対の配線間に配線コンタクトを配置するというように、より配線やコンタクトホールの間の距離を小さくする必要が出てくる。

【0051】

また、図10に示すように、本発明による半導体記憶装置としてのDRAMでは、1つのサブデコーダ領域5には2つの分散S2N領域19が配置され、それ両側のセンスアンプ領域4に配置されたセンスアンプに接続されている。図10は、本発明によるDRAMのメモリセルマットの端部を示す部分模式図である。メモリセルマット端部70では、メモリセルマットの中央部などと比べて十字領域6からメモリセルマットの外側にはサブデコーダ領域5がないため、メモリセルマットの中央部と同様に分散S2N領域19を配置することは難しい。したがって、不足するS2Nドライバトランジスタは、十字領域6におけるS2N領域18(図4参照)の大きさを大きくする、あるいは図10に示すようにメモリセルマット端部においてメモリセルマットの外側に分散S2N領域43をSA帶と同じ方向に延びるように配置するといったことにより、必要な数のS2Nドライバトランジスタを確保することができる。

【0052】

なお、サブデコーダ領域5に1つだけ大きな分散S2N領域19を配置して、サブデコーダ領域5の両端の十字領域6のうちの一方のみにその分散S2N領域19を接続してもよい。ただしこの場合、十字領域6から見た場合に分散S2N領域19の最も遠い位置までの配線長が長くなる。そのため、十字領域6からS2N領域19へと延びる上層メタル配線の寄生抵抗が、図4に示した場合のように十字領域6の両端に分散して分散S2N領域19を配置した場合よりも大きくなる。

【0053】

また、図4および図5に示したV_{BB}固定部22については、メモリセルアレイ領域3（図4参照）におけるメモリセルのダミー部やサブデコーダ領域5にこのV_{BB}固定部22を配置した場合、少なくともこのV_{BB}固定部22をセンスアンプ領域4に配置した場合と同じだけメモリセルアレイ領域3やサブデコーダ領域5の面積を大きくすることになる。また、トレンチ分離絶縁膜46を形成する際のパターニングのための最小面積を確保しつつ、ワード線を配置することが困難になる。したがって、図11に示すように、トレンチ分離絶縁膜46の間の距離Lをワード線47の間の距離よりも充分大きくすることにより、V_{BB}固定部22をワード線47の間に配置する。ここで、図11は、図4に示したV_{BB}固定部を示す部分断面模式図である。

【0054】

図11に示すように、半導体基板29の主表面には距離Lを隔ててトレンチ分離絶縁膜46が形成されている。トレンチ分離絶縁膜46の間には、半導体基板29の主表面上に形成されたPウェル49が露出した状態となっている。半導体基板29の主表面上には所定の間隔を隔ててワード線47が紙面に垂直方向に互いにほぼ平行な方向に延びるように形成されている。ワード線47の間には、Pウェル49においてP型の導電性不純物拡散領域48が形成されている。また、ワード線47を覆うように絶縁膜52が形成されている。絶縁膜52上には層間絶縁膜50が形成されている。層間絶縁膜50には、ワード線47の間に位置する領域にコンタクトホール51が形成されている。コンタクトホール51は、ワード線47を介してV_{BB}固定部22と接続される。

ド線47の間に位置するP型の導電性不純物拡散領域48にまで到達するよう位
形成されている。コンタクトホール51の内部は導電体プラグ34によって充填
されている。導電体プラグ34は、層間絶縁膜50上に形成されたV_{BB}配線45
と電気的に接続されている。

【0055】

このようにして、V_{BB}固定部22を形成することができる。そして、このような
ウェル固定方法を行なうと、ワード線47はアキュミュレーションキャパシタ
(MOSキャパシタと形状は同じであるが、ソース／ドレイン領域がウェルと同
電位であって、反転層を作らずにウェルとゲートとの間に容量を持たせること
可能なキャパシタのこと)を寄生素子として持つことになる。しかし、ワード線
47全体の容量を考えれば、このアキュミュレーションキャパシタの容量は相対
的に極めて小さく、全く問題のないレベルである。また、センスアンプ方向とサ
ブデコーダ方向との分割数は2:1程度である。そのため、このようにワード線
47の間にV_{BB}固定部22を配置することにより、チップ全体では1.5%程度
の面積の縮小を図ることができる。なお、この1.5%程度という縮小率は、以
下のような計算式により導出されたものである。以下、メモリセル1matにつ
いて計算する。

【0056】

まず、比較例としての従来のDRAMについて、そのメモリセルのサイズを2
00μm×100μm、図2に示したSA帯の幅(図2の垂直方向における幅)
を19μm、図2に示したSWD帯の幅(図2の水平方向における幅)を20μ
mであると仮定する。したがって、SA帯およびSWD帯を考慮したメモリセル
の1ピッチ分の面積S₀は、 $(200+20) \times (100+19) = 26180$
(μm²)となる。一方、上述した本発明によるDRAMでは、そのメモリセル
のサイズを200μm×100μmとした場合、図2に示したSA帯の幅は16
.2μm、SWD帯の幅は20.34μmとなる。したがって、SA帯およびS
WD帯を考慮したメモリセルの1ピッチ分の面積S₁は、 $(200+20.34)$
 $\times (100+16.2) = 25604$ (μm²)となる。このため、比較例の
DRAMについての1ピッチ分の面積S₀から見て本発明によるDRAMの1ピ

ツチ分の面積 S_1 の縮小率は、 $(S_0 - S_1) / S_0 \times 100 = 2.2\%$ となる。さらに、セル占有率を 66% と仮定すると、DRAM のチップ全体の面積の縮小率は $2.2\% \times 0.66 = 1.5\%$ となる。

【0057】

なお、図4に示したDRAMでは、S2Pドライバトランジスタ8（図3参照）を十字領域6に集中配置する一方、S2Nドライバトランジスタ7（図3参照）を2つのサブデコーダ領域5に分散配置しているが、S2Pドライバトランジスタ8とS2Nドライバトランジスタ7との配置を入れ替えるてもよい。つまり、S2Nドライバトランジスタ7を十字領域6に集中配置する一方、S2Pドライバトランジスタ8をサブデコーダ領域5に分散配置してもよい。この場合も同様の効果を得ることができる。

【0058】

上述した本発明に従った半導体記憶装置の一例としてのDRAMの特徴的な構成を要約すれば、本発明に従った半導体記憶装置としてのDRAMは、図4に示すように、半導体基板29（図5参照）の主表面に形成されたメモリセルアレイ領域3と、センスアンプ領域4と、サブデコーダ領域5と、交差領域としての十字領域6とを備える。センスアンプ領域4は、メモリセルアレイ領域3に隣接して配置され、内部にセンスアンプを構成する複数の素子であるPチャネル型トランジスタ9、11（図3参照）およびNチャネル型トランジスタ10、12（図3参照）が配置される。つまり、センスアンプ領域4にはPチャネル型トランジスタ9、11が形成された領域15とNチャネル型トランジスタ10、12が形成された領域16とが配置される。サブデコーダ領域5は、メモリセルアレイ領域3に隣接して配置され、センスアンプ領域4とは異なる領域である。つまり、サブデコーダ領域5は、メモリセルアレイ領域3に隣接するとともにメモリセルアレイ領域3から見てセンスアンプ領域4とは異なる方向に位置する。十字領域6は、メモリセルアレイ領域3に隣接するとともに、センスアンプ領域4とサブデコーダ領域5とを接続するように配置される。サブデコーダ領域5には、複数のセンスアンプドライバ用素子としての複数のS2Nドライバトランジスタ7（図3参照）およびS2Pドライバトランジスタ8（図3参照）が形成されている。

(つまり、サブデコーダ領域5には上述したセンスアンプドライバ用素子が形成された分散S2N領域19、20が配置されている)。S2Nドライバトランジスタ7およびS2Pドライバトランジスタ8はセンスアンプの動作に用いられる(センスアンプを駆動する)。

【0059】

このようにすれば、すでに述べたようにセンスアンプドライバ用素子を配置する領域としてサブデコーダ領域5を利用するので、センスアンプドライバ用素子をセンスアンプ領域4においてセンスアンプを構成する素子とともに配置する場合(例えば図12に示した半導体記憶装置のようなレイアウトの場合)より、センスアンプ領域4の面積を小さくできる。この結果、DRAMのチップサイズを縮小できる。

【0060】

また、センスアンプ領域4以外の領域(サブデコーダ領域5)にセンスアンプドライバ用素子を配置するので、センスアンプ領域4におけるセンスアンプを構成する素子の配置の自由度を大きくできる。このため、すでに述べたようにセンスアンプを構成する複数の素子(領域15、16に形成された素子)について、Nウェル13とPウェル14とのウェル境界60a、60bと複数の素子との間の距離をほぼ等しくすることができる。

【0061】

本発明に従った上記DRAMは、図2から分かるように半導体基板29(図5参照)の主表面に形成されたメモリセルアレイ領域3とセンスアンプ領域4とサブデコーダ領域5と十字領域6とをそれぞれ複数個備えていてもよい。半導体基板29の主表面において、複数のメモリセルアレイ領域3は、行方向(SA帯の延びる方向)と列方向(SWD帯の延びる方向)とにそれぞれ間隔を隔ててマトリックス状に配置されていてもよい。複数のセンスアンプ領域4は、複数のメモリセルアレイ領域3を列方向において隔てる複数の隙間にそれぞれ配置されていてもよい。複数のサブデコーダ領域5は、複数のメモリセルアレイ領域3を行方向において隔てる複数の隙間にそれぞれ配置されていてもよい。複数の十字領域6は、複数のメモリセルアレイ領域3を列方向において隔てる隙間の連なり(SW

D帯)と、複数のメモリセルアレイ領域3を行方向において隔てる隙間の連なり(SA帯)との複数の交点領域のそれぞれに配置されていてもよい。

【0062】

図10に示すように、メモリセルアレイ領域3がマトリックス状に配置されたメモリセルマット2(図1参照)の列方向(SWD帯の延びる方向)における端部(図10のメモリセルマット端部70)では、センスアンプドライバ用素子(分散S2N領域19、43に形成されている、S2Nドライバトランジスタ7(図3参照))が、メモリセルマット端部70に隣接するサブデコーダ領域5と、メモリセルマット領域の外側の領域(メモリセルマット端部70に位置する十字領域6から見てサブデコーダ領域5とは反対側の領域)とに分散配置されていてもよい。

【0063】

この場合、メモリセルマット端部70に位置するセンスアンプについても、センスアンプドライバ用素子(つまりS2Nドライバトランジスタ7)をセンスアンプ領域4以外の部分において分散配置することができるので、センスアンプ領域4の面積を確実に小さくすることができる。

【0064】

また、この発明に従ったDRAMは、図2に示すように、メモリセルアレイ領域3とセンスアンプ領域4とサブデコーダ領域5と交差領域としての十字領域6とをそれぞれ複数備えている。複数のメモリセルアレイ領域3は、半導体基板上に、行方向(SA帯が延びる方向)と列方向(SWD帯が延びる方向)とにそれぞれ間隔を隔ててマトリックス状に配置される。複数のセンスアンプ領域4は、列方向における複数のメモリセルアレイ領域3の間にそれぞれ配置される。センスアンプ領域4にはセンスアンプを構成する素子(図3に示したPチャネル型トランジスタ9、11およびNチャネル型トランジスタ10、12)が配置される。センスアンプ領域4には複数のセンスアンプが配置されていてもよい。複数のサブデコーダ領域5は、行方向におけるメモリセルアレイ領域3の間の隙間にそれぞれ配置される。複数の十字領域6は、複数のセンスアンプ領域4の並び(SA帯)と複数のサブデコーダ領域5の並び(SWD帯)とのそれぞれの交点に位

置する。本発明によるDRAMは、サブデコーダ領域5に配置され、センスアンプの動作に用いる複数のセンスアンプドライバ用素子（図4に示した分散S2N領域19、20に形成されている、S2Nドライバトランジスタ7（図3参照））を備える。

【0065】

また、本発明に従ったDRAMにおいて、複数のメモリセルアレイ領域3が配置された領域（図1におけるメモリセルマット2）の列方向（図10におけるSWD帯の延びる方向）における端部（図10のメモリセルマット端部70）では、センスアンプドライバ用素子（図10に示した分散S2N領域19、43に形成されている、S2Nドライバトランジスタ7（図3参照））が、端部（メモリセルマット端部70）に隣接するサブデコーダ領域5と、複数のメモリセルアレイ領域が配置された領域（メモリセルマット2）の外側の領域（メモリセルマット端部70において十字領域6から見てサブデコーダ領域5と反対側に位置する領域）とに分散配置されていてもよい。具体的には、センスアンプドライバ用素子は、メモリセルマット端部70に隣接するサブデコーダ領域5の分散S2N領域19と、十字領域6から見て分散S2N領域19と反対側に位置する分散S2N領域43とに分散配置されていてもよい。

【0066】

上記DRAMにおいて、センスアンプドライバ用素子（S2N領域18および分散S2N領域19、20に形成されたS2Nドライバトランジスタ7と、集中S2P領域17に形成されたS2Pドライバトランジスタ8）は、サブデコーダ領域5と十字領域6とに分散配置されていてもよい。この場合、S2Nドライバトランジスタ7およびS2Pドライバトランジスタ8などのセンスアンプドライバ用素子を形成するための領域の面積を十分確保することができる。

【0067】

上記DRAMは、半導体基板に形成された導電性不純物拡散領域としてのNウェル13およびPウェル14と、V_{DDS}固定部21およびV_{BB}固定部22をそれぞれ構成する電位固定用導電体としての導電体プラグ33、34とを備えていてもよい。Nウェル13およびPウェル14は、図5に示すようにサブデコーダ領

域5において半導体基板の主表面に露出する部分を含んでいてもよい。導電体プラグ33は、サブデコーダ領域5において露出したNウェル13の部分に接続されてもよい。導電体プラグ33は、Nウェル13の電位を決定するためのものであってもよい。また、導電体プラグ34も、サブデコーダ領域5において露出しているPウェル14の表面の部分に接続されていてもよい。

【0068】

この場合、Nウェル13の電位を固定するための導電体プラグ33（つまり V_{DDS} 固定部21）をサブデコーダ領域5に配置するので、センスアンプ領域4に V_{DDS} 固定部21を配置する場合よりセンスアンプ領域4の面積を小さくできる。また、図14に示したようにセンスアンプ領域4において V_{DDS} 固定部21を配置する場合、 V_{DDS} 固定部21やその他の素子の配置によってはセンスアンプ領域4のNウェル13およびPウェル14の境界部と、センスアンプを構成する複数の素子（領域15、16に形成されたセンスアンプを構成するPチャネル型トランジスタ9、11およびNチャネル型トランジスタ10、12）との間の距離が、素子毎に異なることになる。この結果、既に述べたようにセンスアンプを構成する素子の特性がばらつく危険性があった。しかし、本発明によるDRAMでは、 V_{DDS} 固定部21をサブデコーダ領域5に形成し、また、 V_{BB} 固定部22をサブデコーダ領域5またはメモリセルアレイ領域3の端部に形成するので、上述のような問題の発生を回避することができる。

【0069】

また、図4および図10に示すように、本発明に従ったDRAMにおいて、複数のセンスアンプ領域4の内の1つに形成されたセンスアンプの動作に用いるセンスアンプドライバ用素子（S2Nドライバトランジスタ7）は、センスアンプ領域4の内の1つに隣接する十字領域6を挟むように位置する2つのサブデコーダ領域5に分散配置されていてもよい（複数のS2Nドライバトランジスタ7は2つのサブデコーダ領域5に分散配置された分散S2N領域19、20にそれぞれ形成されている）。

【0070】

この場合、十字領域6を挟むように位置する2つのサブデコーダ領域5の一方

にのみ、十字領域6と接続されるS2Nドライバトランジスタをすべて配置した分散S2N領域を形成する場合より、当該十字領域6からもっとも遠くに位置する分散S2N領域の端部のドライバトランジスタから十字領域6までの距離を短くすることができる。このため、十字領域6からもっとも遠くに位置するS2Nドライバトランジスタと十字領域6との間の配線長さを、上記2つのサブデコーダ領域5の内の一方にすべてのS2Nドライバトランジスタを配置する場合より短くできる。この結果、上記2つのサブデコーダ領域5の一方にすべてのS2Nドライバトランジスタを配置する場合より上記配線に関する寄生抵抗を低減できる。

【0071】

また、図4に示すように上記DRAMでは、センスアンプ領域4において半導体基板の主表面が第1導電型領域（Nウェル13）と第2導電型領域（Pウェル14）とからなっていてもよい。センスアンプを構成する複数の素子のうち、第1導電型領域および第2導電型領域のいずれか一方に形成された複数の特定素子（たとえば、図4のNMOS-SAと表示された領域16に形成された複数のNチャネル型トランジスタ10、12（図3参照））について、第1導電型領域（Nウェル13）と第2導電型領域（Pウェル14）との境界部（ウェル境界60b）から、領域16に形成された特定素子としてのNチャネル型トランジスタ10、12までのそれぞれ距離はほぼ等しくなっていてもよい。つまり、Nチャネル型トランジスタ10、12が形成された領域16の外周部62とウェル境界60bとが互いにほぼ平行に配置されることにより、外周部62とウェル境界60bとの間の距離がほぼ一定となっていてもよい。このようにすれば、図7～図9を用いて説明したように、Nチャネル型トランジスタ10、12についてしきい値電圧などの電気的特性がばらつく危険性を低減できる。

【0072】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0073】

【発明の効果】

このように、本発明によれば、サブデコーダ領域にセンスアンプを駆動するためのセンスアンプドライバトランジスタを配置するので、センスアンプドライバトランジスタを配置する領域の面積を充分に確保するとともに、特性の劣化を防止すると共にチップ面積を小さくすることができる半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明による半導体記憶装置としてのDRAMのチップの平面模式図である。

【図2】 図1に示したチップの領域IIを示す部分拡大模式図である。

【図3】 図1に示したチップのメモリセルアレイ領域の間に配置されるセンスアンプの回路図である。

【図4】 図2に示したチップの部分拡大模式図の一部分を示す拡大模式図である

【図5】 図4の線分V-Vにおける断面模式図である。

【図6】 図4に示した半導体記憶装置のサブデコーダ領域における素子の配置を示す模式図である。

【図7】 上述したしきい値電圧とウェル境界からチャネル領域までの距離との関係を説明するための平面模式図である。

【図8】 ウェル境界からチャネル領域までの距離d (μm) としきい値電圧: V_{th} (mV) の変動量 (ΔV_{th}) の関係を示すグラフを示す図である。

【図9】 ウェル境界からチャネル領域までの距離dと、しきい値電圧の変動量 (ΔV_{th}) との関係を示すグラフを示す図である。

【図10】 本発明によるDRAMのメモリセルマットの端部を示す部分模式図である。

【図11】 図4に示した V_{BB} 固定部を示す部分断面模式図である。

【図12】 センスアンプドライバトランジスタの配置パターンを説明するための参考例としての半導体記憶装置の模式図である。

【図13】 センスアンプドライバトランジスタの配置パターンを説明するための参考例としての半導体記憶装置の模式図である。

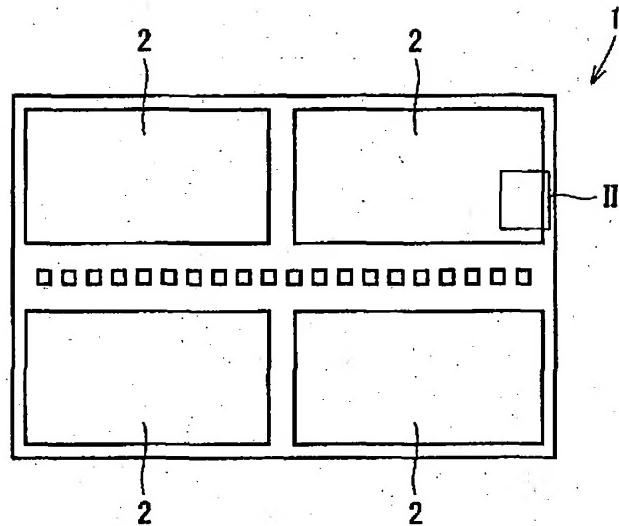
【図14】 センスアンプドライバトランジスタの配置パターンを説明するための参考例としての半導体記憶装置の模式図である。

【符号の説明】

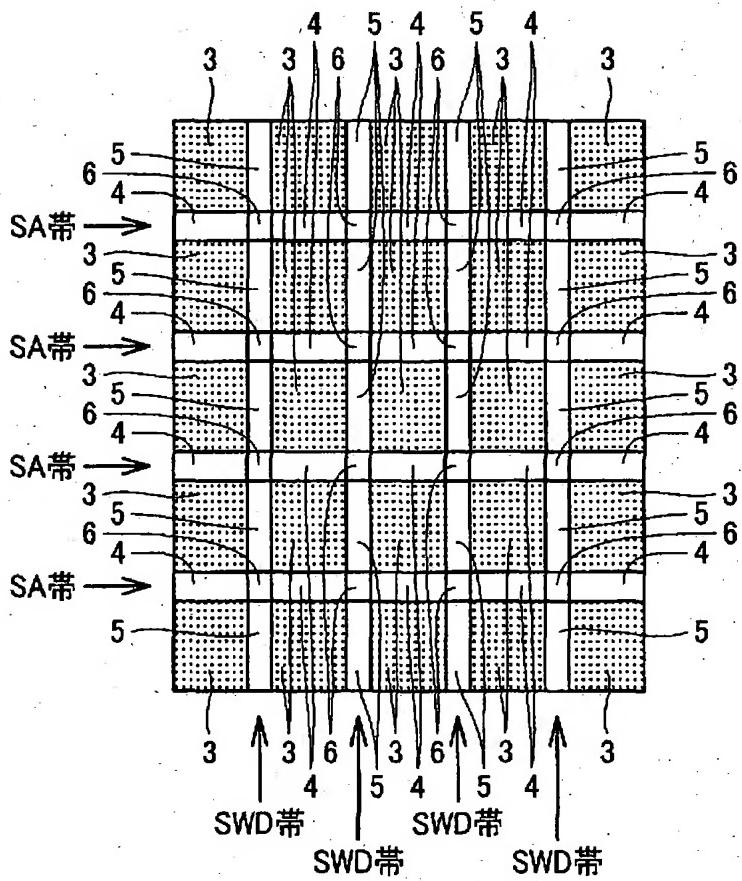
1 DRAMチップ、2 メモリセルマット、3 メモリセルアレイ領域、4 センスアンプ領域、5 サブデコーダ領域、6 十字領域、7 S2Nドライバトランジスタ、8 S2Pドライバトランジスタ、9, 11 Pチャネル型トランジスタ、10, 12 Nチャネル型トランジスタ、13 Nウェル、14 Pウェル、15, 16 領域、17 集中S2P領域、18 S2N領域、19, 20, 43 分散S2N領域、21 V_{DDS} 固定部、22 V_{BB} 固定部、23 S2N線、24 GND線、25 ZS2P線、26 V_{DDS} 線、29 半導体基板、30 ボトムNウェル、31, 49 Pウェル、32 トランジスタ、33, 34 導電体プラグ、35~38 ノード、40 ウェル境界、41, 85 ゲート電極、42 チャネル領域、45 V_{BB} 配線、46 トレンチ分離絶縁膜、47 ワード線、48 導電性不純物拡散領域、50 層間絶縁膜、51 コンタクトホール、52 絶縁膜、60a, 60b ウェル境界、61a, 61b, 62 外周部、70 メモリセルマット端部、80 分散S2P領域、81 集中S2N領域、86 S2Nノード、87 GNDノード、88 GNDウェル固定部、89 V_{PP} ウェル固定部、90 領域。

【書類名】 図面

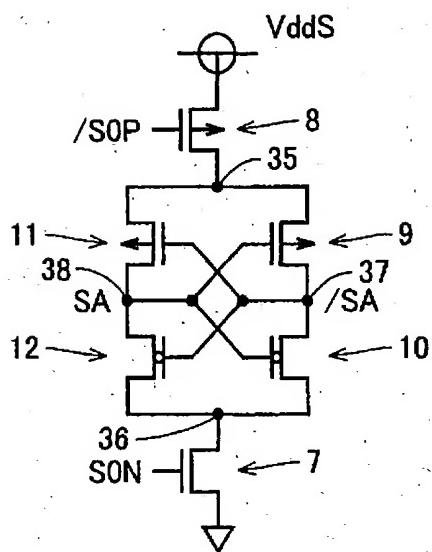
【図1】



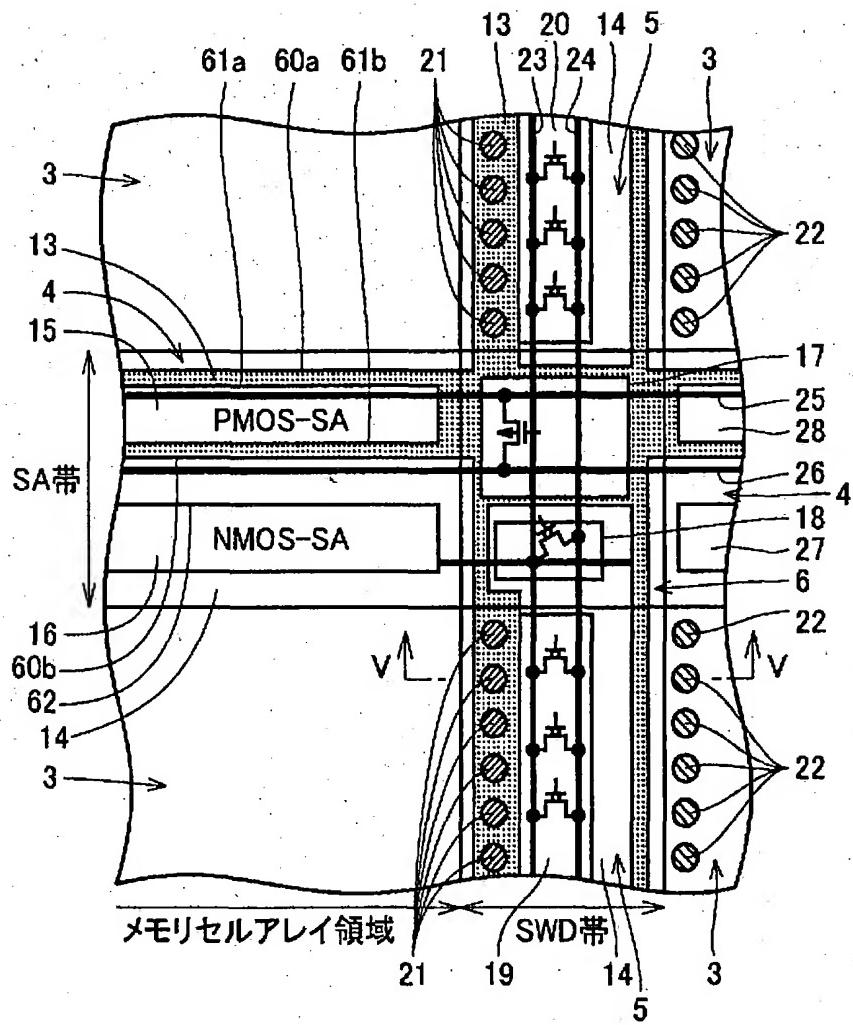
【図2】



【図3】

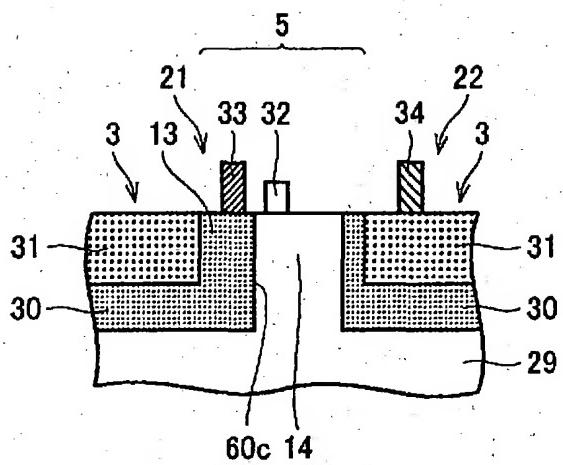


【図4】

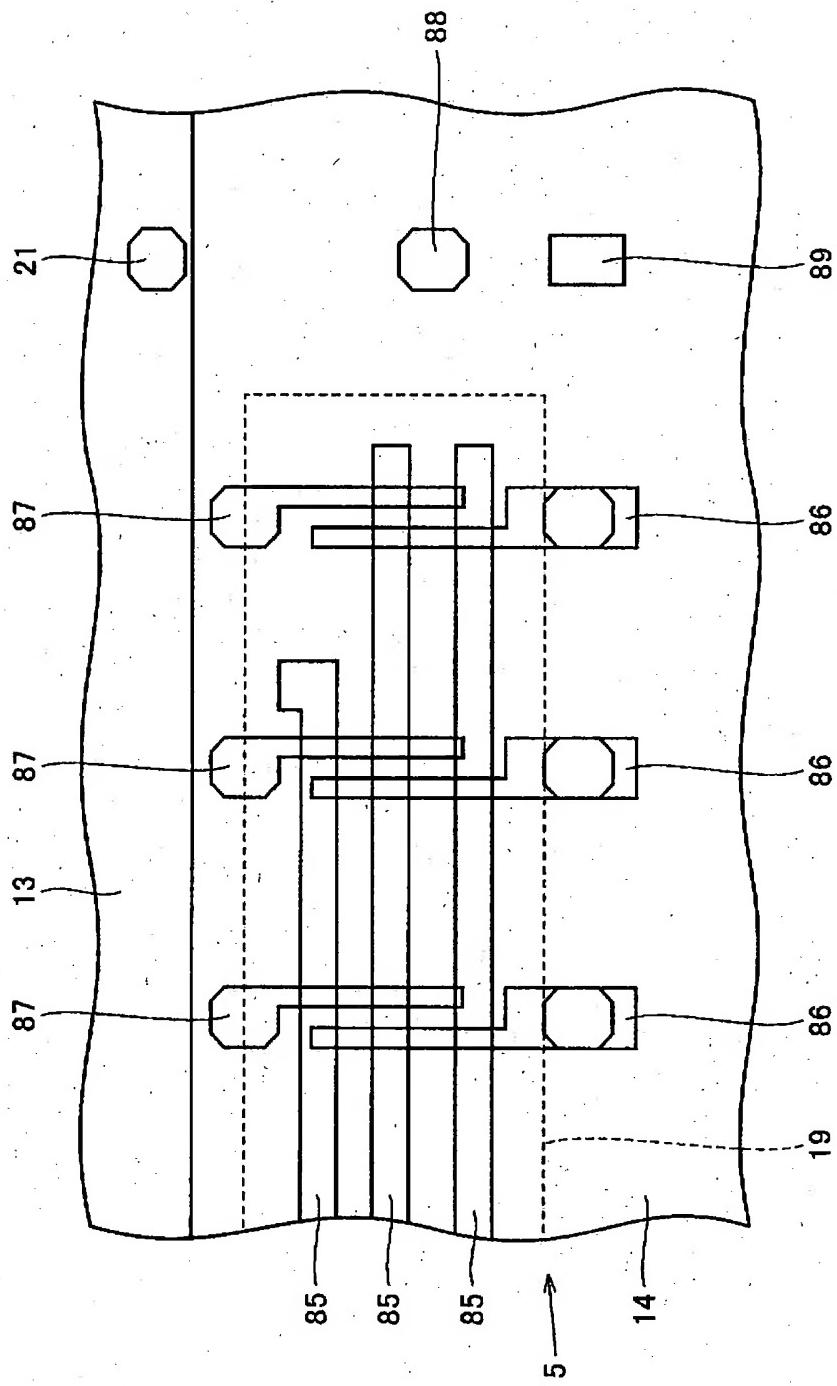


特2003-007787

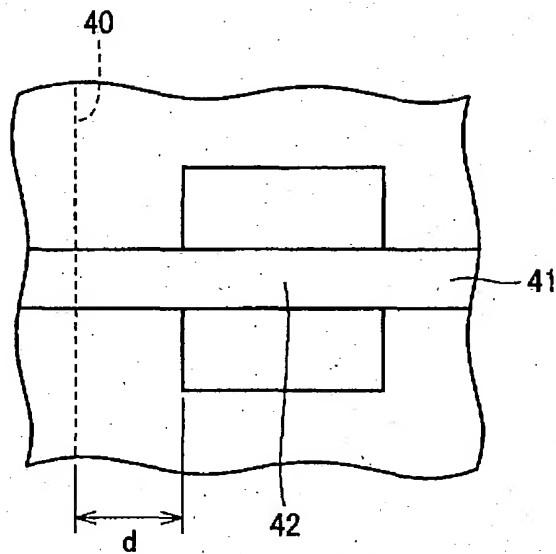
【図5】



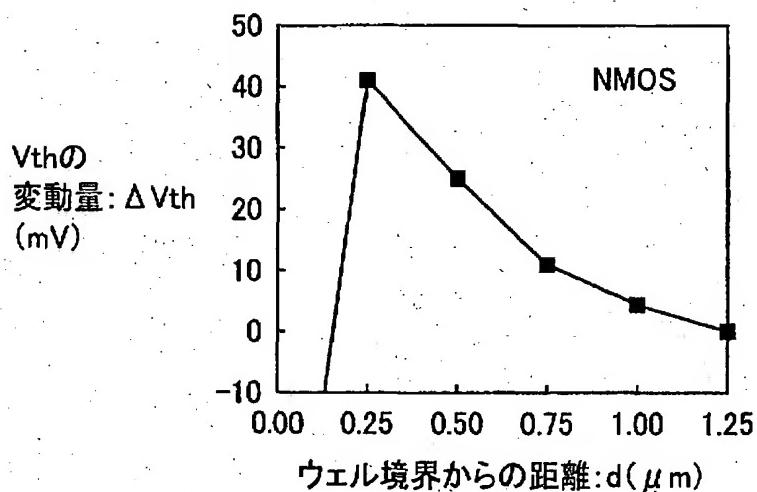
【図6】



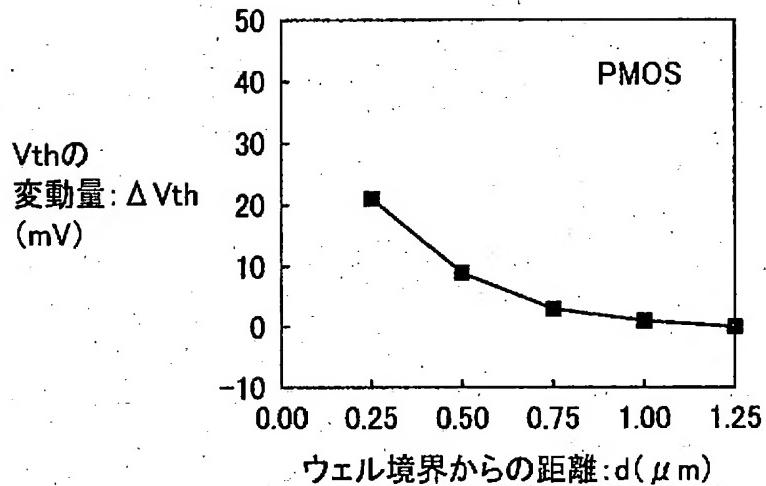
【図7】



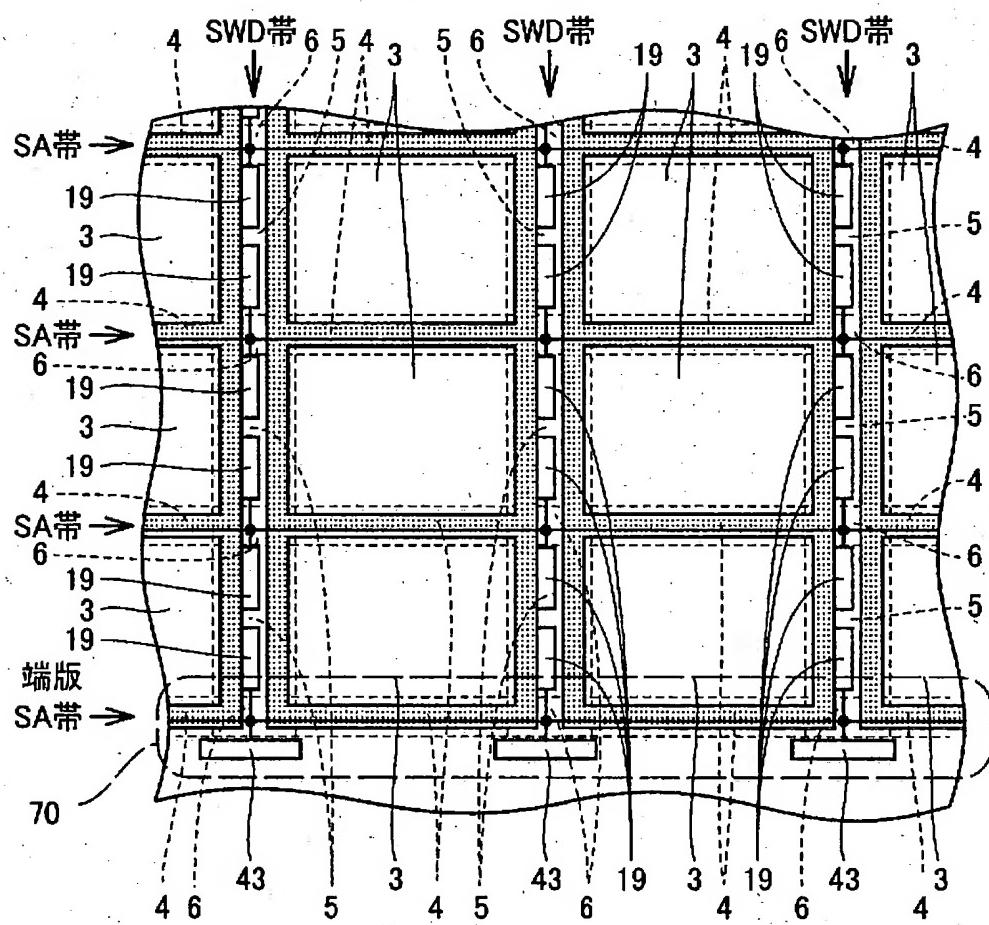
【図8】



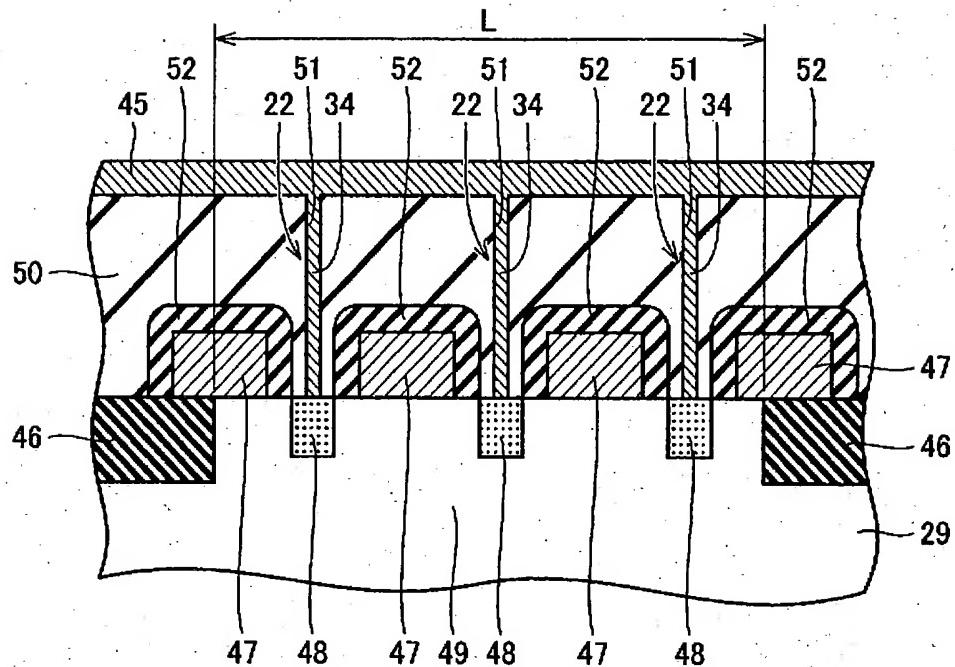
【図9】



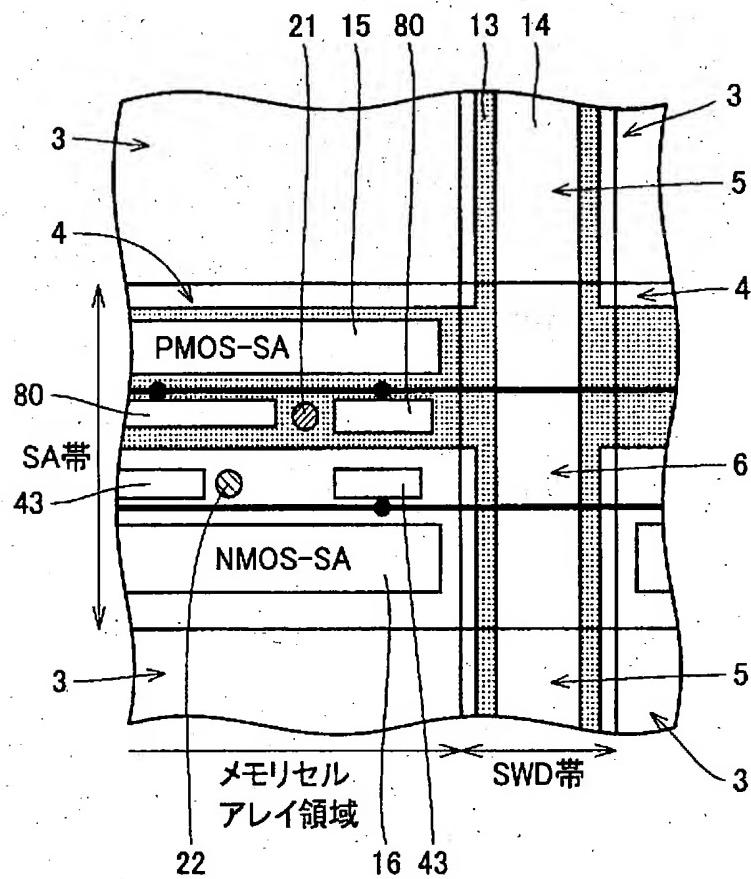
【圖 10】



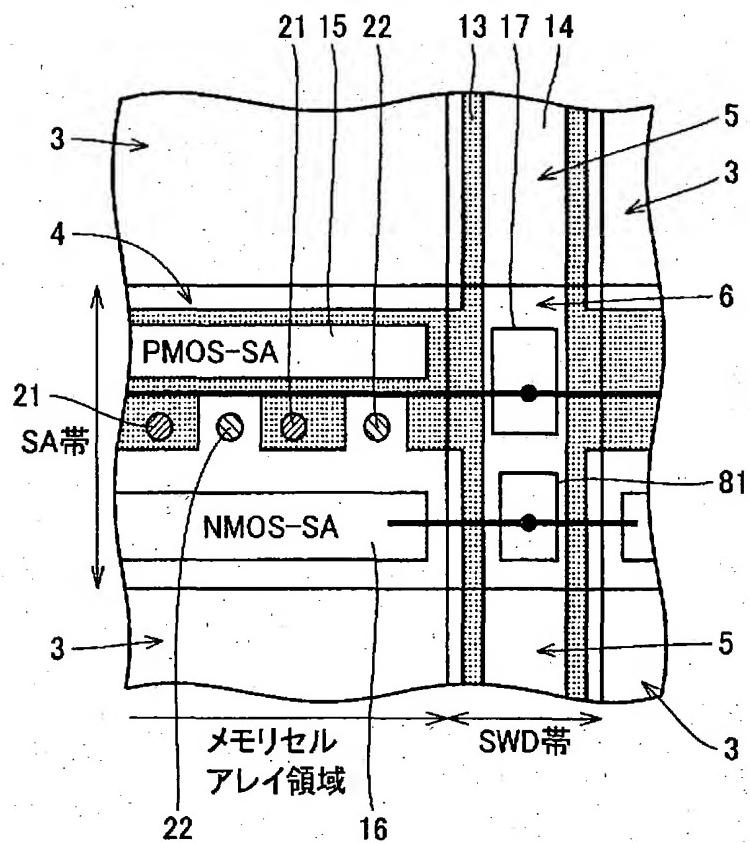
【図11】



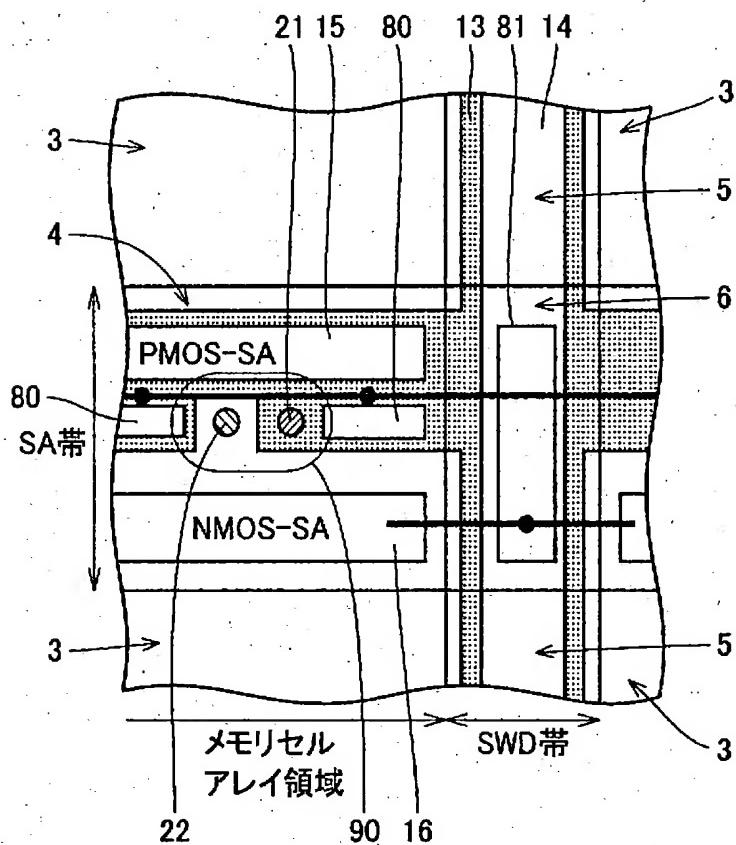
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 特性の劣化を防止しながらチップ面積の低減を図ることが可能な半導体記憶装置を提供する。

【解決手段】 D R A Mにおいて、複数のメモリセルアレイ領域3は、半導体基板上に、行方向と列方向とにそれぞれ間隔を隔ててマトリックス状に配置される。センスアンプ領域4は、列方向におけるメモリセルアレイ領域3の間の隙間にそれぞれ配置される。センスアンプ領域4にはセンスアンプを構成する素子が配置される。サブデコーダ領域5は、行方向におけるメモリセルアレイ領域3の間の隙間にそれぞれ配置される。十字領域6は、センスアンプ領域4の並びとサブデコーダ領域5の並びとのそれぞれの交点に位置する。センスアンプドライバ用素子はサブデコーダ領域5に配置され、センスアンプの動作に用いられる。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社